

(d)

# SEMICONDUCTOR MEASURING DEVICE, TOOL FOR MEASURING SEMICONDUCTOR, AND SEMICONDUCTOR MEASURING METHOD

Patent Number: JP2002133897  
Publication date: 2002-05-10  
Inventor(s): FURUE KATSUYA  
Applicant(s): MITSUBISHI ELECTRIC CORP  
Requested Patent: ☐ JP2002133897  
Application Number: JP20000329866 20001030  
Priority Number(s):  
IPC Classification: G11C29/00; G01R31/28  
EC Classification:  
Equivalents:

---

## Abstract

---

**PROBLEM TO BE SOLVED:** To provide a semiconductor measuring system in which the algorithm of analyzing defect can be easily changed and test efficiency is high.

**SOLUTION:** In a semiconductor measuring system testing a semiconductor device 1 provided with a function by which self diagnosis of a built-in memory cell can be performed and having a defective cell storing means 6 storing defective cell information of a memory cell diagnosed by itself, a defect relief analyzing means 7 performing relief analysis of a memory cell based on defective cell information of the defective cell storing means 6 is provided in a probe card 2 connecting electrically semiconductor device 1 and a semiconductor measuring device 3, and this defect relief analyzing means 7 is made to be logical (e.g. FPGA) so as to be able to rewrite from the outside.

---

Data supplied from the esp@cenet database - I2

[SCOPE OF CLAIM]

[Claim 1]

A semiconductor measuring system for testing a semiconductor device having a function of being able to self-diagnose an incorporated memory cell array and a defective cell storing means for storing defective cell information on said self-diagnosed memory cell array, characterized in that a semiconductor measuring jig electrically connecting said semiconductor device and said semiconductor measuring system to each other comprises a defect relief analyzing means for performing relief analysis of a memory cell on the basis of the defective cell information in said defective cell storing means.

[Claim 2]

A semiconductor measuring jig for testing a semiconductor device having a function of being able to self-diagnose an incorporated memory cell array and a defective cell storing means for storing defective cell information on said self-diagnosed memory cell array, characterized in that said semiconductor measuring jig comprises a defect relief analyzing means for performing relief analysis of a memory cell on the basis of the defective cell information in said defective cell storing means.

[Claim 3]

A semiconductor measuring system according to claim

1 or a semiconductor measuring jig according to claim 2, wherein said defect relief analyzing means is made to be logical so that a defect relief algorithm thereof can be rewritten from the outside.

[Claim 4]

A semiconductor measuring system for testing a semiconductor device having a function of being able to self-diagnose an incorporated memory cell array and a defective cell storing means for storing defective cell information on said self-diagnosed memory cell array, characterized in that a semiconductor measuring jig electrically connecting said semiconductor device and said semiconductor measuring system to each other comprises a defect counting means for collecting the defective cell information from said defective cell storing means, and counting errors on the basis of the defective cell information to determine convergence of initial failure.

[Claim 5]

A semiconductor measuring jig for testing a semiconductor device having a function of being able to self-diagnose an incorporated memory cell array and a defective cell storing means for storing defective cell information on said self-diagnosed memory cell array, characterized in that said semiconductor measuring jig comprises a defect counting means for

collecting the defective cell information from said defective cell storing means, and counting errors on the basis of the defective cell information to determine convergence of initial failure.

[Claim 6]

A semiconductor measuring system according to claim 4 or a semiconductor measuring jig according to claim 5, wherein said defect counting means is made to be logical so that an algorithm thereof can be rewritten from the outside.

[Claim 7]

A semiconductor measuring system or a semiconductor measuring jig according to any one of claims 1 through 6, wherein said defective cell information is compressed in each redundant circuit.

[Claim 8]

A semiconductor measuring method comprising the steps of:

a step of self-diagnosing a memory cell array incorporated in a semiconductor device, and storing defective cell information on said self-diagnosed memory cell array in a defective cell storing means within said semiconductor device; and

a step of performing relief analysis of a memory cell by a defect relief analyzing means provided in a semiconductor measuring jig on the basis of the defective cell information in said defective

cell storing means.

[Claim 9]

A semiconductor measuring method comprising the steps of:

a step of self-diagnosing a memory cell array incorporated in a semiconductor device, and storing defective cell information on said self-diagnosed memory cell array in a defective cell storing means within said semiconductor device; and

a step of collecting the defective cell information from said defective cell storing means, and counting errors by a defect counting means provided in a semiconductor measuring jig to determine convergence of initial failure.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-133897

(P2002-133897A)

(43) 公開日 平成14年5月10日 (2002.5.10)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームト (参考)
G 1 1 C 29/00	6 5 5	G 1 1 C 29/00	6 5 5 S 2 G 0 3 2
			6 5 5 Z 5 L 1 0 6
G 0 1 R 31/28		G 0 1 R 31/28	V
			B

審査請求 未請求 請求項の数9 O L (全 6 頁)

(21) 出願番号 特願2000-329866(P2000-329866)

(22) 出願日 平成12年10月30日 (2000.10.30)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 古江 勝也

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100094916

弁理士 村上 啓吾 (外3名)

Fターム(参考) 2G032 AA07 AE09 AE10 AF01 AH07

AK11 AK19

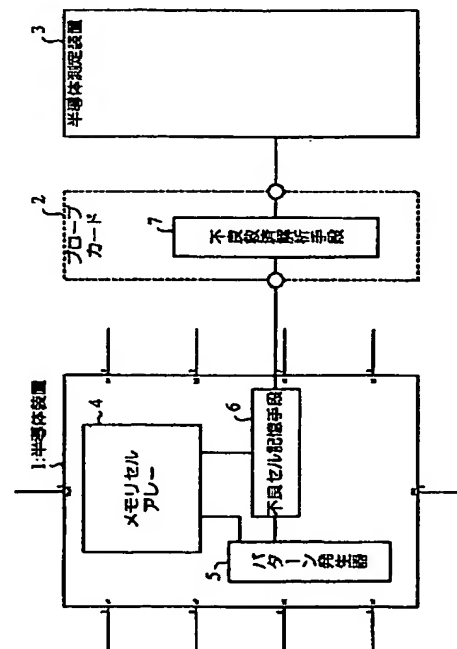
5L106 DD24 DD25

(54) 【発明の名称】 半導体測定装置、半導体測定用治具、及び半導体測定方法

(57) 【要約】

【課題】 不良解析のアルゴリズムを容易に変更可能で、テスト効率の高い半導体測定システムを提供する。

【解決手段】 内蔵するメモリセルを自己診断できる機能を備えると共に、自己診断したメモリセルの不良セル情報を記憶する不良セル記憶手段6を有する半導体装置1をテストする半導体測定システムにおいて、半導体装置1と半導体測定装置3を電氣的に接続するブローブカード2内に、不良セル記憶手段6の不良セル情報に基づいてメモリセルの救済解析を行なう不良救済解析手段7を設け、この不良救済解析手段7を外部から書き換え可能のようにロジック化 (例えばFPGA化) している。



## 【特許請求の範囲】

【請求項1】 内蔵するメモリセルアレーを自己診断できる機能と、自己診断したメモリセルアレーの不良セル情報を記憶する不良セル記憶手段を有する半導体装置をテストするための半導体測定装置であって、半導体装置と半導体測定装置を電氣的に接続する半導体測定用治具に、上記不良セル記憶手段の不良セル情報に基づいてメモリセルの救済解析を行なう不良救済解析手段を設けたことを特徴とする半導体測定装置。

【請求項2】 内蔵するメモリセルアレーを自己診断できる機能と、自己診断したメモリセルアレーの不良セル情報を記憶する不良セル記憶手段を有する半導体装置をテストするための半導体測定用治具であって、上記半導体測定用治具に、上記不良セル記憶手段の不良セル情報に基づいてメモリセルの救済解析を行なう不良救済解析手段を設けたことを特徴とする半導体測定用治具。

【請求項3】 上記不良救済解析手段は、不良救済アルゴリズムを外部から書き換え可能にロジック化されていることを特徴とする請求項1に記載の半導体測定装置又は請求項2に記載の半導体測定用治具。

【請求項4】 内蔵するメモリセルアレーを自己診断できる機能と、自己診断したメモリセルアレーの不良セル情報を記憶する不良セル記憶手段を有する半導体装置をテストするための半導体測定装置であって、半導体装置と半導体測定装置を電氣的に接続する半導体測定用治具に、上記不良セル記憶手段から不良セル情報を収集し、それを基にエラーカウントして初期故障の収束判定する不良カウント手段を設けたことを特徴とする半導体測定装置。

【請求項5】 内蔵するメモリセルアレーを自己診断できる機能と、自己診断したメモリセルアレーの不良セル情報を記憶する不良セル記憶手段を有する半導体装置をテストするための半導体測定用治具であって、上記半導体測定用治具に、上記不良セル記憶手段から不良セル情報を収集し、それを基にエラーカウントして初期故障の収束判定する不良カウント手段を設けたことを特徴とする半導体測定用治具。

【請求項6】 上記不良カウント手段は、アルゴリズムを外部から書き換え可能にロジック化されていることを特徴とする請求項4に記載の半導体測定装置又は請求項5に記載の半導体測定用治具。

【請求項7】 上記不良セル情報は冗長回路単位に圧縮していることを特徴とする請求項1から請求項6のいずれか1項に記載の半導体測定装置又は半導体測定用治具。

【請求項8】 半導体装置に内蔵するメモリセルアレーを自己診断し、自己診断したメモリセルアレーの不良セル情報を半導体装置内部の不良セル記憶手段に記憶する工程と、

上記不良セル記憶手段の不良セル情報に基づいて、半導体測定用治具に設けた不良救済解析手段によりメモリセルの救済解析を行なう工程からなる半導体測定方法。

【請求項9】 半導体装置に内蔵するメモリセルアレーを自己診断し、自己診断したメモリセルアレーの不良セル情報を半導体装置内部の不良セル記憶手段に記憶する工程と、

上記不良セル記憶手段から不良セル情報を収集し、半導体測定用治具に設けた不良カウント手段によりエラーカウントして初期故障の収束判定する工程からなる半導体測定方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、メモリセルアレーを内蔵すると共に自己診断機能を備えた半導体装置をテストするための半導体測定装置、半導体測定用治具、半導体測定方法に関するものである。

【0002】

【従来の技術】従来の半導体測定装置（ATE）では、被測定デバイスであるメモリセルアレー内蔵の半導体装置のバス幅が広くなると、全信号の接続が困難になり、同側数の低下やテスト時間の増大によりテスト効率が低下する。

【0003】そこで、自己診断機能（Built In Self Test）を備え、メモリセルアレーと同じバス幅を持つ不良セル記憶手段及び不良救済解析手段を論理回路にして内蔵した半導体装置が発明され、その結果、半導体測定装置（ATE）のCPU等による救済解析に比較して、半導体メモリテストが格段に高速化されることとなった。

【0004】図8は従来の半導体装置とその半導体装置をテストするための半導体測定装置を示す概略システム図である。

【0005】図8において、半導体装置10はメモリセルアレー40を内蔵すると共に自己診断機能を備えている。半導体装置10内には、パターン発生器50、不良セル記憶手段60、不良救済解析手段70の論理回路を搭載している。パターン発生器50はメモリセルアレー40を測定するためのテストパターン信号を発生する。不良セル記憶手段60はメモリセルアレー40の不良セル情報を記憶する回路である。不良救済解析手段70は不良セル記憶手段60に記憶された不良セル情報に基づいてメモリセルの救済解析を行なう回路である。

【0006】プローブカード20は、半導体装置10のパッドと半導体測定装置30とを電氣的に接続するための半導体測定用治具である。そして、半導体装置10内の不良救済解析手段70により不良メモリ情報が解析された後、その救済コードがプローブカード20を介して半導体測定装置30に出力される。

【0007】

【発明が解決しようとする課題】従来の半導体測定装置

は以上のように構成されており、不良救済解析のアルゴリズムが論理回路として半導体装置に内蔵され固定化されているため、不良解析のアルゴリズムを変更することが困難で、プロセスの歩留り向上が図れないと共に合理化することができない問題があった。

【0008】また、ウエハレベルバーンイン（WLB I : Wafer Level Burn In）試験での不良収束判定には、不良ビット数の増加が検知できないため、収束モニタとして半導体測定装置（ATE）の救済解析機能を使用する必要があった。

【0009】この発明は、上記のような問題点を解消するためになされたものであり、不良解析のアルゴリズムを容易に変更可能で、テスト効率の高い半導体測定システムを提供する。

【0010】また、不良ビット数をカウントしてWLB Iの収束判定が可能で、テスト効率の高い半導体測定システムを提供する。

【0011】

【課題を解決するための手段】請求項1の発明は、内蔵するメモリセルアレーを自己診断できる機能と、自己診断したメモリセルアレーの不良セル情報を記憶する不良セル記憶手段を有する半導体装置をテストするための半導体測定装置であって、半導体装置と半導体測定装置を電気的に接続する半導体測定用治具（例えばプローブカード）に、不良セル記憶手段の不良セル情報に基づいてメモリセルの救済解析を行なう不良救済解析手段を設けたことを特徴とする。

【0012】請求項2の発明は、内蔵するメモリセルアレーを自己診断できる機能と、自己診断したメモリセルアレーの不良セル情報を記憶する不良セル記憶手段を有する半導体装置をテストするための半導体測定用治具（例えばプローブカード）であって、半導体測定用治具（例えばプローブカード）に、不良セル記憶手段の不良セル情報に基づいてメモリセルの救済解析を行なう不良救済解析手段を設けたことを特徴とする。

【0013】請求項3の発明は、請求項1又は請求項2の発明において、不良救済解析手段は、不良救済アルゴリズムを外部から書き換え可能にロジック化されていることを特徴とする。

【0014】請求項4の発明は、内蔵するメモリセルアレーを自己診断できる機能と、自己診断したメモリセルアレーの不良セル情報を記憶する不良セル記憶手段を有する半導体装置をテストするための半導体測定装置であって、半導体装置と半導体測定装置を電気的に接続する半導体測定用治具（例えばプローブカード）に、不良セル記憶手段から不良セル情報を収集し、それを基にエラーカウントして初期故障の収束判定する不良カウント手段を設けたことを特徴とする。

【0015】請求項5の発明は、内蔵するメモリセルアレーを自己診断できる機能と、自己診断したメモリセル

アレーの不良セル情報を記憶する不良セル記憶手段を有する半導体装置をテストするための半導体測定用治具（例えばプローブカード）であって、半導体測定用治具（例えばプローブカード）に、不良セル記憶手段から不良セル情報を収集し、それを基にエラーカウントして初期故障の収束判定する不良カウント手段を設けたことを特徴とする。

【0016】請求項6の発明は、請求項4又は請求項5の発明において、不良カウント手段は、アルゴリズムを外部から書き換え可能にロジック化されていることを特徴とする。

【0017】請求項7の発明は、請求項1から請求項6の発明において、不良セル情報は冗長回路単位に圧縮していることを特徴とする。

【0018】請求項8の半導体測定方法の発明は、半導体装置に内蔵するメモリセルアレーを自己診断し、自己診断したメモリセルアレーの不良セル情報を半導体装置内部の不良セル記憶手段に記憶する工程と、不良セル記憶手段の不良セル情報に基づいて、半導体測定用治具（例えばプローブカード）に設けた不良救済解析手段によりメモリセルの救済解析を行なう工程からなる。

【0019】請求項9の半導体測定方法の発明は、半導体装置に内蔵するメモリセルアレーを自己診断し、自己診断したメモリセルアレーの不良セル情報を半導体装置内部の不良セル記憶手段に記憶する工程と、不良セル記憶手段から不良セル情報を収集し、半導体測定用治具（例えばプローブカード）に設けた不良カウント手段によりエラーカウントして初期故障の収束判定する工程からなる半導体測定方法。

【0020】

【発明の実施の形態】実施の形態1. 図1はこの発明の実施の形態1による半導体装置とその測定装置を示す概略システム図である。

【0021】図1において、半導体装置1はメモリセルアレー4を内蔵すると共に自己診断機能を備えている。半導体装置1内には、パターン発生器5、不良セル記憶手段6の論理回路を搭載している。パターン発生器5はメモリセルアレー4を測定するためのテストパターン信号を発生する。不良セル記憶手段6はメモリセルアレー4の不良セル情報を記憶する回路である。ここで、不良セル情報は全アドレス対応の情報では大量となり記憶や伝送が困難なため、スベアロウ、スベアカラムの冗長回路単位に圧縮して記憶している。

【0022】プローブカード2は、半導体装置1のパッドと半導体測定装置3とを電気的に接続するための半導体測定用治具である。不良救済解析手段7は、不良救済アルゴリズムを外部から書き換え可能にロジック化、例えばFPGA（Field Programmable Logic Array）化した回路であり、プローブカード2内に設置されている。

【0023】次に、実施の形態1による半導体装置の測

10

20

30

40

50



定方法について説明する。

【0024】半導体測定装置3の試験開始信号に基づいて、パターン発生器5はテストパターン信号を発生して、メモリセルアレー4の自己診断テストを実行する。そして、メモリセルアレー4の不良セル情報は不良セル記憶手段6に記憶される。ここで、不良セル情報は冗長回路単位に圧縮しているため、狭いバス幅で短時間で転送できる。

【0025】プローブカード2内の不良救済解析手段7は、不良セル記憶手段6から救済解析開始の信号を受け、それを基に救済解析を行なう。そして、不良救済解析手段7により不良メモリ情報が解析された後、その救済コードが半導体測定装置30に出力される。

【0026】ここで、メモリセルの救済例を図2により説明する。図において、メモリブロックに、通常の記憶セル（ノーマルセル）のほかにスペアロウ、スペアカラムのスペアセルを設け、不良が発生した場合はヒューズブロー等によって不良のノーマルセルと置換することで、メモリセルの救済を行う。ここでは、3ビット×3ビットのメモリに1本ずつのスペアが存在する状態である。この場合、各スペアについて3つのアドレスと置換する可能性があるため、ヒューズは6つ必要である。

【0027】図2において、不良セル1～3が同時に発生した場合、不良セル1、2は同じカラムアドレスのためスペアカラムで救済し、不良セル2はスペアローで救済する。また、不良セル1、3、4が同時に発生した場合、不良セル1、4は同じローアドレスのためスペアローで救済し、不良セル3はスペアカラムで救済する。なお、不良セル1～4が同時に発生した場合は救済不可能である。

【0028】従来は、上記の処理を行うためにメモリ容量と同等のフェイルメモリと救済解析機能を持ったメモリテスト用測定装置が必要となり装置コストが高くなると共に、全空間のテスト結果をメモリより少ないピンからテスト中に読み出し、テスト後に解析するためにテスト時間が増大していた。

【0029】しかし、本実施の形態では、不良セル記憶手段6からの不良メモリ情報に基づいて、プローブカード2に設けた不良救済解析手段7によりテスト中に救済解析を行い、置換するアドレスをテスト後に読み出すだけで良いため、テスト時間の大幅な短縮が図れる。

【0030】図3はメモリの構成例1であり、図2に示すメモリブロック8個から構成されている。この場合、救済のためのスペアが独立しているため、各メモリブロックそれぞれ独立に解析することができるが、ヒューズも8倍の48個必要となる。図4はメモリの構成例2である。ここでは、ヒューズの面積を小さくしコスト高を抑えるために、スペアを連動するように構成し、ヒューズを18個に減らすようにしている。この場合、各メモリブロック独立で救済解析できないため、各メモリブ

ックの不良についてロー優先かカラム優先かの選択を盛り込んだ複雑なアルゴリズムが必要になる。このアルゴリズムを完全な形で半導体装置内に固定化して設けるのは回路規模が大きくなるので、最適なプロセスの品質向上で単純化する傾向になる。このため、プロセスの状態によりアルゴリズムを変更できるように対策する必要がある。この点、本実施の形態1では、プローブカード2上の不良救済解析手段7のアルゴリズムを外部から書き換え可能にロジック化しているので、上述の要望に答えることができる。

【0031】以上のように実施の形態1によれば、プローブカード内に不良セル記憶手段の不良セル情報に基づいてメモリセルの救済解析を行なう不良救済解析手段を設けたので、短時間にテスト、不良救済解析ができる効果がある。また、不良救済アルゴリズムを外部から書き換え可能のようにロジック化したので、不良救済アルゴリズムを容易に変更することができ、テスト効率の高い半導体測定装置を得ることができる。

【0032】実施の形態2、図5はこの発明の実施の形態2による半導体装置とその測定装置を示す図である。

【0033】図5において、半導体装置1はメモリセルアレー4を有すると共に自己診断機能を備えている。半導体装置1内には、パターン発生器5、不良セル記憶手段6の論理回路を搭載している。パターン発生器5はメモリセルアレー4を測定するためのテストパターン信号を発生する。不良セル記憶手段6はメモリセルアレー4の不良セル情報を記憶する回路である。ここで、不良セル情報は全アドレス対応の情報では大量となり記憶や伝送が困難なため、スペアロウ、スペアカラムの冗長回路単位に圧縮して記憶している。

【0034】プローブカード2は、半導体装置1のパッドと半導体測定装置3とを電気的に接続するための治具である。不良カウント手段7は、定期的に不良セル記憶手段6から不良セル情報を収集し、それを基にエラーカウントして初期故障の収束判定する機能を備えており、外部から書き換え可能なロジック回路、例えばFPGA（Field Programmable Logic Array）として、プローブカード2内に設置されている。

【0035】次に、実施の形態2による半導体装置の測定方法について説明する。

【0036】半導体測定装置3の試験開始信号に基づいて、パターン発生器5はテストパターン信号を発生して、メモリセルアレー4の自己診断テストを実行する。そして、メモリセルアレー4の不良セル情報は不良セル記憶手段6に記憶される。ここで、不良セル情報は冗長回路単位に圧縮しているため、狭いバス幅で短時間で転送できる。

【0037】プローブカード2内の不良カウント手段8は、不良セル記憶手段6からWLB Iテスト開始又は終了信号を受信し、定期的に不良セル情報を収集してエラ

一カウントを行ない、タイマーにより一定時間毎にカウント増加数を計算し、初期故障の収束判定を行なう。

【0038】図6はWLB Iテストでのメモリセル不良率の推移を示す図である。WLB Iは、温度や電圧ストレスを印加してテストを繰り返し、初期故障を除去するために実施され、そのバーンイン（BI）時間によって累積不良率は飽和し、テストの不良率が収束する。特に悪い半導体装置は、最長のバーンイン時間でも収束しないものがあり、これは使用不可能と判定される。

【0039】図7は実施の形態WLB Iテストの一例を示すフローチャートである。このように、プローブカード2に設けた不良カウント手段8により不良ビットをカウントし、不良ビットの増加の有無を確認する機能を設けることで、不良率をモニタするだけで不良率の収束判定が可能となる。

【0040】以上のように実施の形態2によれば、プローブカードに不良セル記憶手段から不良セル情報を収集してそれを基にエラーカウントして初期故障の収束判定する不良カウント手段を設けたので、WLB Iを高価な半導体測定装置のCPU等を使用せずに収束判定でき、多数個の半導体装置を同時に高速に処理することが可能となる。また、そのアルゴリズムを外部から書き換え可能なようにロジック化したので、アルゴリズムを容易に変更することができ、テスト効率の高い半導体測定装置を得ることができる。

【0041】

【発明の効果】請求項1から請求項3の発明によれば、半導体測定用治具内に不良セル記憶手段の不良セル情報に基づいてメモリセルの救済解析を行なう不良救済解析手段を設けたので、短時間にテスト、不良救済解析ができる効果がある。また、不良救済アルゴリズムを外部から書き換え可能なようにロジック化したので、不良救済アルゴリズムを容易に変更することができ、テスト効率の高い半導体測定装置を得ることができる。

【0042】請求項4から請求項6の発明によれば、プローブカード内に不良セル記憶手段から不良セル情報を収集してそれを基にエラーカウントして初期故障の収束判定する不良カウント手段を設けたので、WLB Iを高価な半導体測定装置のCPU等を使用せずに収束判定で\*

\*き、多数個の半導体装置を同時に高速に処理することが可能となる。また、そのアルゴリズムを外部から書き換え可能なようにロジック化したので、アルゴリズムを容易に変更することができ、テスト効率の高い半導体測定装置を得ることができる。

【0043】請求項7の発明によれば、不良セル情報を冗長回路単位に圧縮しているの、狭いバス幅で短時間で転送できる効果がある。

【0044】請求項8の発明によれば、不良セル記憶手段の不良セル情報に基づいて、半導体測定用治具の不良救済解析手段によりメモリセルの救済解析を行なうようにしたので、短時間にテスト、不良救済解析ができる効果がある。

【0045】請求項9の発明によれば、不良セル記憶手段から不良セル情報を収集して、半導体測定用治具の不良カウント手段によりエラーカウントして初期故障の収束判定を行うようにしたので、高価な半導体測定装置のCPU等を使用せずに収束判定でき、多数個の半導体装置を同時に高速に処理することが可能となる。

20 【図面の簡単な説明】

【図1】 この発明の実施の形態1による半導体装置とその測定装置を示す概略システム図である。

【図2】 メモリセルの救済解析を説明するための図である。

【図3】 メモリの構成例1を示す図である。

【図4】 メモリの構成例2を示す図である。

【図5】 この発明の実施の形態2による半導体装置とその測定装置を示す概略システム図である。

30 【図6】 WLB Iテストでのメモリセル不良率の推移を示す図である。

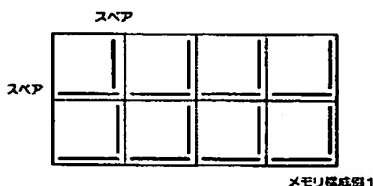
【図7】 WLB Iテストの一例を示すフローチャートである。

【図8】 従来の半導体装置とその測定装置を示す概略システム図である。

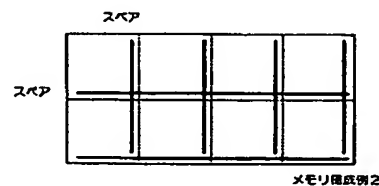
【符号の説明】

1 半導体装置、2 プローブカード、3 半導体測定装置、4 メモリセルアレー、5 パターン発生器、6 不良セル記憶手段、7 不良救済解析手段、8 エラーカウント手段。

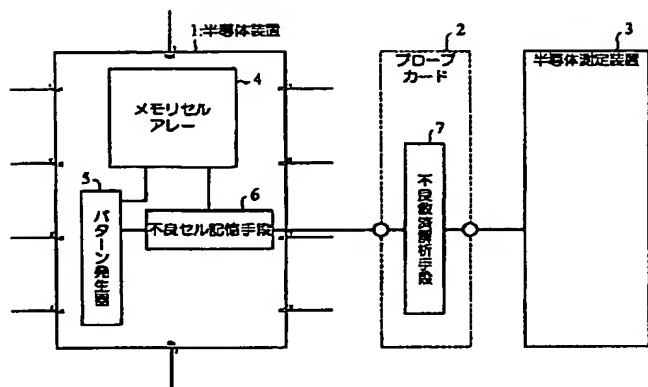
【図3】



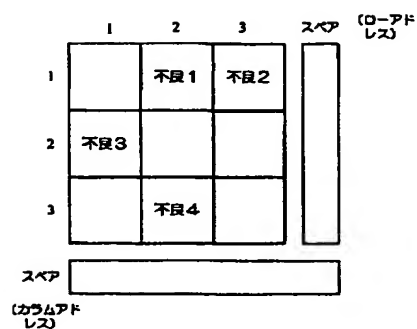
【図4】



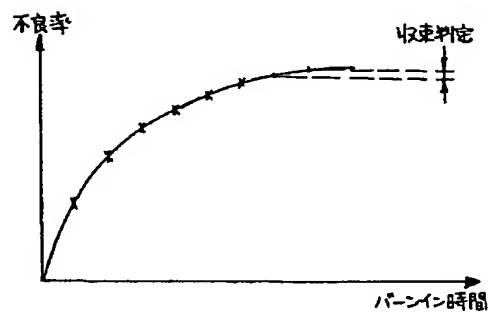
【図1】



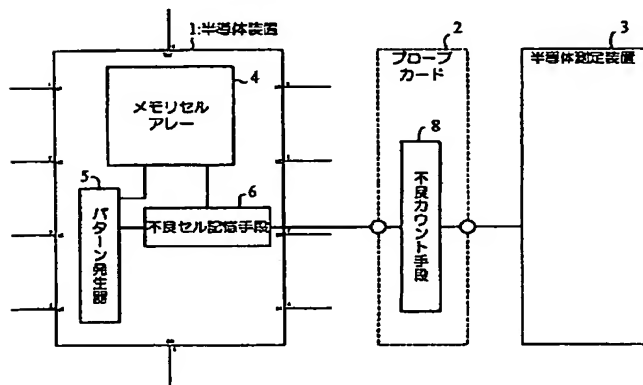
【図2】



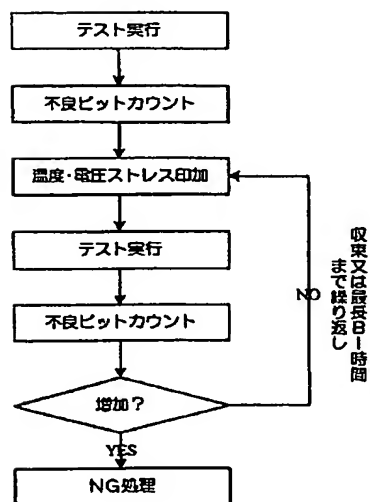
【図6】



【図5】



【図7】



【図8】

